

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-284518
 (43)Date of publication of application : 31.10.1997

(51)Int.Cl. H04N 1/21
 H04N 1/44

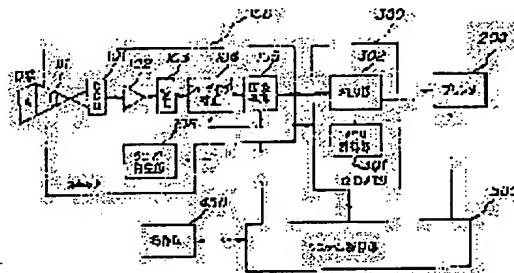
(21)Application number : 08-118437 (71)Applicant : RICOH CO LTD
 (22)Date of filing : 16.04.1996 (72)Inventor : OBATA MASATO

(54) DIGITAL IMAGE FORMING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a digital image forming device for improving secrecy.

SOLUTION: A scanner 100 digitally reads an image on an original and an image memory 300 stores image data which is read. The image is formed based on stored image data and image data is read again from the image memory after a series of image forming operations terminate. A system control part 500 forms the image. Image data which the image memory stores can arbitrarily be deleted. Thus, the formation of the image by an unrelated person can be prevented. Then, convenience improves when it is automatically deleted after prescribed time passes.



LEGAL STATUS

[Date of request for examination] 05.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(10) 日本国特許庁 (JP) (12) 公開特許公報 (A) (11) 特許出願公開番号
特開平9-284518
(22) 出願日 平成8年(1996)4月16日
(51) InCL* H 04 N 1/21
1/44

²
【特許請求の範囲】
【請求項1】 原稿上の画像をデジタル的に読み取る読み取手段と、前記読み取られた画像データを記憶するための記憶手段と、前記記憶手段に記憶した画像データに基づいて画像形成を行う画像形成手段と、一連の画像形成動作終了後、再度前記記憶手段により画像形成手段を用いて画像形成動作終了後、再度記憶手段を読み出し、前記画像形成手段により画像形成を行わせる画像再形成制御手段と、前記記憶手段に記憶した画像データを任意に消去する消去手段と、前記記憶手段に記憶した画像データを任意に消去可能としたことを備え、前記記憶手段による記憶データをクリアするモードクリア手段を備え、前記消去手段による前記記憶手段に記憶した画像データを任意に消去可能としたことを特徴とする。

【請求項2】 更に画像形成のためのモードをクリアするモードクリア手段を備え、前記消去手段による前記記憶手段に記憶した画像データの消去を、前記モードクリア手段によるモードクリアを実行した時に用いることを特徴とする請求項1記載のデジタル画像形成装置。

【請求項3】 更に時間と共に時刻する計時手段を備え、前記消去手段による前記記憶手段に記憶した画像データの消去を、一連の画像形成動作終了後、前記計時手段により所定時間計時した後に用いることを特徴とする請求項1記載のデジタル画像形成装置。

【請求項4】 更に前記記憶手段の使用した領域を判断する手段を備え、前記消去手段による前記記憶手段に記憶した画像データの消去を、前記記憶手段の使用した領域のみ消去することを特徴とする請求項1記載のデジタル画像形成装置。

【発明の詳細な説明】
【要約】
【課題】 機密性を高めたデジタル画像形成装置を提供することを目的とする。

【解決手段】 スキャナ100で原稿上の画像をデジタル的に読み取り、読み取られた画像データを画像メモリ300が記憶する。記憶した画像データに基づいて画像形成を行い、一連の画像形成動作終了後、再度画像データを読み出し、システム制御部500モリから画像データを読み出せし、システム制御部500が画像形成を行わせる。画像メモリが記憶したデータを記憶する記憶手段と、読み取手段により読み取ったデータを記憶する記憶手段と、一連の複数の画像データの加工を行う画像編集手段と、一連の複数動作終了後、画像編集手段による編集内容を変更して再び記憶手段から画像データを読み出し画像を再形成させる。この構成により、画像再形成制御手段とを備えている。この構成により、原稿を何度も読み取ることなく所望の複数画像を得ることが可能となる。また、所定の時間経過後に自動的に消去せたりすると利便性が向上する。

【発明の実施の形態】
【実施例】
【課題】 本発明は、画像データを一且メモリに記憶して複数動作を行うデジタル画像形成装置に適用する。

【解決手段】 スキャナ100で原稿上の画像をデジタル的に読み取り、読み取られた画像データを画像メモリ300が記憶する。記憶した画像データに基づいて画像形成を行い、一連の画像形成動作終了後、再度画像データを読み出し、システム制御部500モリから画像データを読み出せし、システム制御部500が画像形成を行わせる。画像メモリが記憶したデータを記憶する記憶手段と、読み取手段により読み取ったデータを記憶する記憶手段と、一連の複数の画像データの加工を行う画像編集手段と、一連の複数動作終了後、画像編集手段による編集内容を変更して再び記憶手段から画像データを読み出し画像を再形成させる。この構成により、画像再形成制御手段とを備えている。この構成により、原稿を何度も読み取ることなく所望の複数画像を得ることが可能となる。また、所定の時間経過後に自動的に消去せたりすると利便性が向上する。

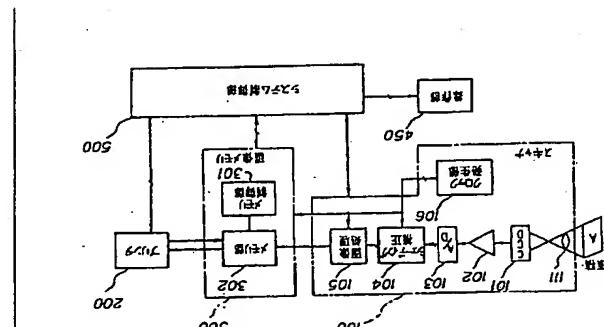
【発明の実施の形態】
【実施例】
【課題】 本発明は、画像データを一且メモリに記憶して複数動作を行うデジタル画像形成装置に適用する。

【解決手段】 スキャナ100は、図2の断面図に示すように、原稿を中央基盤でコントラクトガラス108上で搬送させ、原稿面を光源110で照射し、その反射光をレンズ111でCCD(電荷伝送素子)101上に結像させてCCD101で読み取る。そしてCCD101から出力されるアナログ信号は図1の増幅器103に入力され、A/D変換器1

されてA/D変換器103に入力され、A/D変換器1示した從来例では記憶手段に記憶した画像データを消去

(2)

【特許請求の範囲】 【請求項1】 原稿上の画像をデジタル的に読み取る読み取手段と、前記読み取られた画像データを記憶するための記憶手段と、前記記憶手段に記憶した画像データに基づいて画像形成を行う画像形成手段と、一連の画像形成動作終了後、再度前記記憶手段により画像形成手段を用いて画像形成動作終了後、再度記憶手段を読み出し、前記画像形成手段により画像形成を行わせる画像再形成制御手段と、前記記憶手段に記憶した画像データを任意に消去する消去手段と、前記記憶手段に記憶した画像データを任意に消去可能としたことを備え、前記記憶手段による記憶データをクリアするモードクリア手段を備え、前記消去手段による記憶手段を備え、前記モードクリア手段によるモードクリアを実行した時に用いることを特徴とする請求項1記載のデジタル画像形成装置。	
(21)出願番号 特願平9-118437	(71)出願人 000006747 株式会社リコー
(22)出願日 平成8年(1996)4月16日	(72)発明者 小畠 正人 東京都大田区中馬込1丁目3番6号 株式会社リコー内
(23)請求項 未請求 請求項の数4 FD (全17頁)	(73)請求項 未請求 請求項の数4 FD (全17頁)



(54) [発明の名稱] デジタル画像形成装置

(57) [要約]
【課題】 機密性を高めたデジタル画像形成装置を提供することを目的とする。
【解決手段】 スキャナ100で原稿上の画像をデジタル的に読み取り、読み取られた画像データを画像メモリ300が記憶する。記憶した画像データに基づいて画像形成を行い、一連の画像形成動作終了後、再度画像データを読み出し、システム制御部500モリから画像データを読み出せし、システム制御部500が画像形成を行わせる。画像メモリが記憶したデータを記憶する記憶手段と、読み取手段により読み取ったデータを記憶する記憶手段と、一連の複数の画像データの加工を行う画像編集手段と、一連の複数動作終了後、画像編集手段による編集内容を変更して再び記憶手段から画像データを読み出し画像を再形成させる。この構成により、画像再形成制御手段とを備えている。この構成により、原稿を何度も読み取ることなく所望の複数画像を得ることが可能となる。また、所定の時間経過後に自動的に消去せたりすると利便性が向上する。

【発明の実施の形態】
【実施例】
【課題】 本発明は、画像データを一且メモリに記憶して複数動作を行うデジタル画像形成装置に適用する。

【解決手段】 スキャナ100は、図2の断面図に示すよ

うに、原稿を中央基盤でコントラクトガラス108上で搬送させ、原稿面を光源110で照射し、その反射光をレンズ111でCCD(電荷伝送素子)101上に結像させてCCD101で読み取る。そしてCCD101から

示された從来例では記憶手段に記憶した画像データを消去

(4) 6

5 るラッチ信号CLK16を入力してラッチし、周期を1/ f_{16} に落として16ラインパラレルに変換した画像データD3を出力する。そしてこの16ビット単位でメモリ部302の16個のメモリ端子に対してもアドレスタブを行う。

6 [0021] 画像データの周期を1/ f_{16} に落すことにより、見かけ上メモリ部302に対してライトとリードの動作を同時にを行うようになります。つまり図28に示すように制御できる。(つまり図28に示すようにメモリ部302にアクセスするときにライトとリードの操作を同時に実行する。)

7 [0022] その他のサイクルは有効であることを示す信号をそれぞれ*RDEN、*RFEN、*WREとし、各信号ともレベルの間がそのサイクルが有効とする。F/F613の出力イネーブル端子OEには*WRENを入力しているので、実際にはF/F613はライトサイクルが有効な期間のみ画像データD3を出力し、その他の期間では出力はハイビンディングス状態となる。

8 [0023] 最初の4 CLK周期をライトサイクル、最後の4 CLK周期をライトサイクルとし、16 CLK周期の間にアドレスタブを同時に行っている。

9 [0024] モリの内容を消去する場合にはWFGA TE信号がオンセナジレベルのままなので画像データD2は常にマスクされる。従って最終的にF/F613から出力される画像データD3は常にレベル(白データ)となる為このデータをメモリ302に書き込むことにより消去できる。

10 [0025] データ切り換える部620について説明する。データ切り換える部620は図29に示すように双方向トランジistor621により構成されており、データ入力A端子にはS/P変換部610及び後述のデータラッピング部630の16bitのデータラインが接続され、データ出入力B端子にはメモリ部302の16bitのデータラインが接続されている。

11 [0026] 図28も用いて動作を説明する。方向切り換え端子D1には*WRENが接続されているので、*WRENがレベルの間(ライト動作が有効の間)は画像データの方向はA端子からB端子となりS/P変換部610からメモリ部302に画像データは流れる。逆に*WRENがレベルの間は画像データの方向はB端子からA端子となり、メモリ部302から後述のデータラッピング部630に画像データは流れる。ただし出力イネーブル端子OEにRFENを入力しているので、リフレッシュタイムはデータ出入力端子A、B共に、ハイビンディングス状態となる。

12 [0027] データ切り換える部620について説明する。データラッピング部630は図30に示すようにF/F631にて構成されている。図31も用いて動作を説明する。データ切り換え部620により、画像データはメモリ部302へのライトデータがメモリ部302からのリ

13 [0028] P/S変換部640について説明する。P/S変換部640は、図32に示すように、シフトレジスタ651により構成されている。図33も用いて動作を説明する。

14 [0029] データラッピング部630により所定のタイミングでラッチされたパラレルの画像データD5をシフトレジスター651のパラレル入力P10~P11~5に入力し、シフト/ロード端子SH/*LDにシフト/ロード信号*D TLDを入力すると、*DTLDがレベルS/LKに投入したクロック信号CLKに投入したクロック信号CLKの立ち上がりエッジでパラレル入力に投入したD5がロードされ、それと同時にシリアル出力端子SOにはD500を出力する。以下*D TLDがHレベルの間、CLKに同期して画像データをシフトして、シフトレジスタ651のシリアル出力端子SOにはD501、502、…、515を出力し、シリアルの画像データD6を得る。

15 [0030] 画像加工部650について説明する。画像加工部650は図34に示すようにEX-ORゲート671、トグルのラインバッファ672、ラインバッファのアドレスカウンタ673、リードアドレスカウント674にて構成される。

16 [0031] 以下動作を説明する。EX-ORゲート671は画像反転を行ったものであり、ラインバッファ672、リードアドレスカウンタ673、リードアドレスカウンタ674は画像ジフト、ミラーリング、タブレスクエア674は画像データD6とシステム制御305からの反転/非反転切り換え信号REVを入力しているので、REVがレベルで反転処理を行わない時は画像データD6をスルーで出力するが、REVがHレベルの時は反転処理を行うので画像データD6を反転処理した後出力する。

17 [0032] またラインバッファ672ではライトアドレスカウンタ673及びリードアドレスカウンタ674により指定する書き込みアドレスを指定して、により主走査方向に画像シフトしたり、昇順に書き込んで降順に読み出し終了後も1度読み取り、LINE305内に1度読み出しが終わったら再び読み出すことによりダブルコピーを実現する。このラインバッファのアドレス制御についてはシステム制御305により設定された組合情報に基づいて行う。この様に画像数据集した後画像データD7を得る。

18 [0033] アドレス制御部303の各部について説明する。最初にアドレスマスク部303の書き込みについて説明する。アドレスマスク部303は図35により、画像データD7を得る。

- (5) 7 8 [0039] 以下動作を説明する。原稿監査部310及び原稿監査部310について説明する。図5はキヤナ100の原稿監査部を上から見た図であり、コントラクタラス108の手前に原稿監査部センサ311～318および原稿押下センサ321、原稿監査部センサ322を配置している。各センサは反対型のセンサであり原稿がその上に存在するか否かによりオンまたはオフする。
[0034] 図2も用いて実際の原稿読み取り動作に基づいて各センサの動作を説明する。オペレータが原稿を入口ローラに挿入すると、原稿監査部センサ311～318が点灯しした原稿のサイズに応じてオンする。例えばA4横サイズの原稿を挿入した場合は314、315のセンサだけがオンし、A2横サイズの原稿を挿入した場合は312～317までのセンサがオンすることと、原稿の幅に応じてオフするセンサの組み合わせが異なる。モリの内容を消去する場合にはWF GATEがオンする代わりにINF GATEがモリ制御305に挿入されオフするだけで、動作は同じである。
- [0040] 1以下再びカウント値は"0" (QA ~QC =L) に戻るので、結果WINT8はWF GATEがオンした後8ライン原稿を走査する毎 (LSYNC周期) にL SYNC周期の間Hレベルになる。そしてこのWINT8は図4に示すWINT8割り込み処理に用いらる。図2に示すWINT8割り込み処理にはWF GATEがオフする代わりにINF GATEがモリ制御305に挿入されオフするだけで、動作は同じである。
- [0041] 1次に図9～図11を参照して審込アドレスT8S Tによりロードされ、モリ部302に対する書き込みアドレスWADRS 0～23が初期値WADIN 1T0～23に設定される。
- [0042] 1次にF/F334のQ出力*ADRSE T8S Tによりロードされ、モリ部302に対する書き込みアドレスWADRS 0～23が初期値WADIN 0は図9に示すようにダウンカウント331、332、ANDゲート333と、F/F334と、カウント335から構成されている。ダウンカウント331、332のプリセット入力にはそれぞれモリ制御305から図11に示すように主走査方向の最大読み取り有効領域を示す信号L GATEから原稿の左端位置を示す信号SHIFT0～13、原稿の実際の幅を示す信号D OT0～13が設定されている。
- [0043] 1次にモリの先端が原稿センサ322の上を通過するとき、原稿監査部センサ312がオンする。更に原稿が奥に挿入され、原稿の先端が不図示のゲート間に突き当たり原稿押下センサ321をオフするなど不図示の伝送モーターが駆動し、ゲートソレノイドがオフする。原稿が搬送されて原稿の先端が原稿センサ322の上を切ると、原稿監査部センサ312はオフして、原稿監査部センサ322の上を通過していく間をモリの先端が原稿監査部センサ312に対して検知し、読み取り有効領域として検知され、この部分の原稿が搬送されて原稿の後端が原稿センサ322はオフして、原稿が原稿監査部センサ312の上を通過していく間をモリの先端が原稿監査部センサ312に対して検知され、このFGA有効領域信号WF GATEを図4に示すモリ制御305及び審込ライセンカウント部350に入力する。A4横の原稿の組び長さを検知する場合を図6に示す。
- [0044] 1次にモリの先端が原稿監査部センサ312をオフする。審込ライセンカウント部350に示すようにORゲート351とカウント352とANDゲート353で構成されている。このFGA出力はレベルにならざりでFGATE信号を入力する。このFGATE信号は上記WF GATE信号と、モリの内部の消去を行う際にモリ制御305によりソフト的にオンする消去有効信号 INF GATE信号とをORゲート351によりORを取った信号である。またクロック端子CLKには主走査方向の同期を取るために信号LSYN Cを入力し、得られた出力QA～QCはANDゲート352に入力している。
- [0045] 図8も用いて動作を説明する。カウント352のクリア端子CLRには副走査方向の読み取り有効領域信号を示すFGATE信号を入力する。このFGATE信号は上記WF GATE信号と、モリの内部の消去を行う際にモリ制御305によりソフト的にオンする消去有効信号 INF GATE信号とをORゲート353を介してF/F334のクロック端子CLKに入力し、またF/F334は信号LSYNCの反転信号LSYNCでプリセットされているためD入力 (=*Q出力) はレベルにならざりでFGATE信号を示したものであつるものである。FGATE信号はANDゲート352の立上がりエッジでQ出力の*ADRSENBSが
- (6) 9 10 [0046] 1により構成されている。結果有効信号発生部360はメモリ部302から画面データを読み出し可能と判断するまではF/F361のクリア端子に入力されたRF GENBをLレベルにしておき、Q出力からの読み出し有効信号 (以下、RF GATE) も音をLレベルにする。
- [0047] 1としてモリ部302が画像データを読み込み可能と判断したとき、メモリ制御305がRF GATEをHレベルにセトすることによりRF GATEを出力可能な状態とし、プリシング200から画像データ読み出し要求信号 (以下、DREQとも書う) が入力されるとその立ち上がりエッジにより、D入力がHレベルに設定されている。そして画像データの読み出しが終了すると、メモリ制御305がRF GENBをLレベルにセトすることにより、RF GATEの出力を作り止 (Lレベル) する。そしてこのRF GATEは読み出シカウント部370及びメモリ制御305に入力されそれ以後の処理に用いられる。
- [0048] 1次にF/F334のQ出力は*DOTENDの立ち上がりエッジで今度はHレベルになる。そしてカウント335の動作を説明すると、このカウント335のプリセット入力にはモリ制御部305から審込アドレス設定部340を介して書き込みアドレスの初期値WADINIT0～23がプリセットされる。この初期値WADINIT0～23は書き込みラインカウント部350の出力WIN8の開始位置がカウント部分だけレバースになるコード信号*WIN T8S Tによりロードされ、モリ部302に対する書き込みアドレスWADRS 0～23が初期値WADIN 1T0～23に設定される。
- [0049] 1としてF/F334のQ出力*ADRSE T8S Tによりロードされ、モリ部302に対する書き込みアドレスWADRS 0～23が初期値WADIN 0は図9に示すようにダウンカウント331、332、ANDゲート333のカウントイネーブル端子EPCに投入しているので、Q出力*ADRSENBSがCLKがHレベルの時にカウントアップせず、書き込みアドレスWADRS 0～23が変わらないが、Q出力*ADRSENBSがHレベルになるとカウントアップして書き込みアドレスWADRS 0～23が更新され、モリ部302の画面データがモリ部302に書き込まれ。なお、Q出力*ADRSENBSはまだ露出されるが、その説明は図17及び図18において行う。
- [0050] 1次にモリ部302からRF GENBとHレベルとした後プリシング200からDREQが入力されRF GATEがオン (Hレベル) になると、それまで出力*QCがクリア (カウント値="0") されないのでモリ部302からライセン画像データを読み出す毎にクロック端子にLSYNCが入力されその立ち上がりエッジによりカウントアップする。
- [0051] 1としてカウント値が"7" (QA ~QC =H) になると、ANDゲート372の出力RINT8がHレベルとなる。以下の所カウント値は"0" (QA ~QC =L) に戻るので、結果RINT8はRF GATEがオンした後メモリ部302から8ライン分画像データを読み出す毎 (LSYNC周期) にLSYNC周波数の間Hレベルとなる。そしてこのRINT8はメモリ制御305に入力され、それ以後の処理に用いられる。
- [0052] 1としてモリ部302からRF GATEがオンした後メモリ部302から8ライン分画像データを読み出す毎 (LSYNC周期) にLSYNC周波数の間Hレベルとなる。そしてこのRINT8はメモリ制御305に入力され、それ以後の処理に用いられる。
- [0053] 1としてRF GATEがオフするまでこの入力值WADSET0～23を初期値WADINIT0～23として保持する。
- [0054] 1アドレス制御部303のうちメモリ部302に対する読み込みアドレスを制御する部分の各部について以下説明する。先ず読み出有効信号発生部360の構成の一例を示す。図13は読み出有効信号発生部360の構成の一例を示したものであり、図14はその動作を示したものである。読み出有効信号発生部360はF/F361から構成される。

(7) 11 * ムで選用する変数などの各部のイニシャライズを行った
成されている。以下動作を説明すると、カウンタ391
は読み出アドレス設定部380からメモリ部302へ発生
するための読み出しアドレスの初期値RADINITA
0～2がプリセット値として設定されており、これは
* RINT8ST (RINT8の開始位置から1CLK
分レベルになる値)によりロードされ読み出しアド
レスRADRSA0～23はRADINITA0～23
になる。

[0054] そして既出アドレス発生部330により発
生された*ADRSENABがHレベルの時は、*ADR
SENABがカウンタ391のカウントネーブル端子に
入力されているのでCLKが入力されてもカウントアッ
プは行われないので出力される読み出しアドレスRAD
RSA0～23はRADINITA0～23のまま変わ
らないが、*ADRSENABがLレベルの時はCLKに
同期してカウントアップが行われるので次読み出しア
ドレスRADRSA0～23は更新され、1ライン当た
りメモリ部302に記憶されたDOTの分をなすながら原
始の幅だけ画像データがメモリ部302から読み出さ
れる。図19は読み出アドレス設定部380の構成の一例を
示したものである。読み出アドレス設定部380はパラレ
ル1/O381により構成されている。メモリ制御30
5は原稿検知部310により検知したDATAWID
THと、読み出ラインカウント部370により検知したR
INT8から計算してRADSETA0～23としてペ
ラレル1/O381に送出される。そしてパラレル1/O9に設
定する読み出アドレスの初期値RADINITA0～
23として次の読み出しアドレスをメモリ制御
305から出力されまで保持し続ける。

[0056] メモリ制御305について説明する。メモ
リ制御305はいわゆるCPU及びROM、RAM、制
り込みコントローラなどの周辺の装置から構成されてお
り、ROMに格納されたプログラムに従って動作を行
う。以下の基本的な動作について説明する。

[0057] 図30はメモリ制御305で行うメインの
動作フローチャートである。電源オン後、ステップS1
では割り込みコントローラ、パラレル1/O、プログラ
マ WADSET0～23=8 * DATAWIDTH * YIN
+ OFFSET

[0058] ステップS5ではステップS4で計算した
DOT及USSHIFTの値を既出アドレス発生部330
に設定して、ステップS6ではメモリ部302の書き込
みアドレスの初期値OFSET (WADSET0～2
3) を既出アドレス設定部340に設定する。そしてこ
の値が読み出アドレスの先頭をYOUT=0と
して、ステップS7では読み出有効信
号発生部360に対し、プリント部370に設定
することにより、プリント200からのDREQの入力
を有効とし、無限ループに入り割り込み処理を行
つ。

[0059] 最後にWIN8割り込みについて説明す
る。原稿が読み出され、原稿幅が検知され、原稿の走査が
開始され原稿検知部320によりWFgateが検知
されHレベルになると、プリント200で記録紙の給紙
が開始されると共に、8ライン分原稿を走査した後で書
き込みラインカウント部350からWIN8がHレベ
ルとなりメモリ制御305に入力される。そしてこのW
IN8は割り込み信号としてWIN8入力時の割り
込み処理を行う。WIN8の割り込み処理では次の8
ライン分の画像データを配信するためのメモリ部302
のラインアドレスの先頭をOFSET (WADSET2
～3) で計算する。そしてステップS3ではYOUT
の値とCOUNTの値とCOUNTよりも
小さなものでメモリ部302に記憶した画像データを
まだ全て読み出せないと判断して処理を繰り返す
が、原稿の読み取りが終了し、しばらくしてYOUT
=COUNTとなるとメモリ部302に記憶した画像
データを全て読み出したことに次のステップS5
で読み出有効信号発生部360にWFGENB=Lレベ
ルをセットし、WFgateをLレベルにより
割り込み処理を終了し、メインフローチャートの無限ル
ープに戻り割り込み入力を待つ。処理を繰り返す
FRINT8割り込みアドレスの先頭の値を計算し、既出アドレス
の読み出しアドレスから画像データを読み出す。
WADSET0～23=8 * DATAWIDTH * YIN
+ OFFSET

[0060] この式の意味は8ライン毎に割り込みがか
かるので1ライン分のデータ量DATAWIDTHに8
倍する。それにWIN8割り込みを行った回数YIN
を掛けた値を最初にセットしたライドアドレスOFF
SETに加えている。ステップS13ではステップS1
で計算したライドアドレスを既出アドレス設定部34
に設定して割り込み処理を終了し、メインフローチ
ャートの無限ループに戻り割り込み入力を待
つ。

(8) 13 * ムで選用する変数などの各部のイニシャライズを行った
後、ステップS2では原稿が描込まれてコピーが開始さ
れるを得つつ。そしてステップS3で原稿が挿入され原
稿幅検知部310によりDATAWIDTHが検知され
ると、ステップS4ではDOT及USHIFTの値を計
算する。

[0061] ステップS5ではその時点でのWIN8
割り込みを行った回数YINをCOUNTに代入して一
時保存する。ステップS2ではリード時にプログラム
で使用するカウンタYOUTを初期化(YOUT=0)
して、ステップS3ではメモリ部302からの読み出
しアドレスの先頭をRADSETA0～23=OFFS
ET (=書き込みアドレスの先頭)として既出アドレス
設定部380に設定して割り込み処理を終了し、メイ
ンフローチャートの無限ループに戻り割り込み入力を待
つ。

[0062] 14 * プリントからDREQが発生し、既出有効信号発生
部360においてWFgateが発生すると、メモリ部
302から画像データを8ライン分ずつ読み出す
インカウント部370にてTRINT8が発生し、この信
号を割り込み信号としてDREQ割り込みが発生す
る。RINT8割り込みでは次の8ライン分の画像データ
を読み出すためのメモリ部302のリードアドレスの
先頭の値の計算及び既出アドレス設定部380への設
定を行つ。

[0063] 15 * WIN8以下図23の動作フローチャートを用いて
説明する。ステップS31ではRINT8割り込みを行
った回数を被すカウンタYOUTをインクリメン
トする。(DREQ割り込みフローチャートのステップ
S22で初期化されているのでYOUT=1となる)。そ
してステップS32で次の式により次の8ライン分の
データを読み出すためのメモリ部302のリードアドレ
スの計算を行う。

[0064] 16 * 0064] 以下図22の動作フローチャートを用いて
説明する。ステップS21ではその時点でのWIN8
割り込みを行つ。ステップS22ではリード時にプログラム
で使用するカウンタYOUTを初期化(YOUT=0)
して、ステップS3ではメモリ部302からの読み出
しアドレスの先頭をRADSETA0～23=OFFS
ET (=書き込みアドレスの先頭)として既出アドレス
設定部380に設定して割り込み処理を終了し、メイ
ンフローチャートの無限ループに戻り割り込み入力を待
つ。

[0065] 17 * 0065] 17 在RINT8割り込みについて説明す
る。RADSETA0～23=8 * DATAWIDTH * YOUT
+ OFFSET

[0066] 18 * 0066] 18 この式の意味は8ライン毎に割り込みがか
かるので1ライン分のデータ量DATAWIDTHに8
倍する。それにRINT8割り込みを行った回数Y
OUTを掛けた物を最初にセットしたライドアドレスのO
FFSETに加えている。ステップS3ではステップ
S32で計算したライドアドレスを既出アドレス設定部
A380に設定する。そしてステップS34ではYOUT
の値とCOUNTの値とCOUNTよりも
小さなものでメモリ部302に記憶した画像データを
まだ全て読み出せないと判断して処理を繰り返す
が、原稿の読み取りが終了し、しばらくしてYOUT
=COUNTとなるとメモリ部302に記憶した画像
データを全て読み出したことに次のステップS35
で読み出有効信号発生部360にWFGENB=Lレベ
ルをセットし、WFgateをLレベルにより
割り込み処理を終了し、メインフローチャートの無限ル
ープに戻り割り込み入力を待つ。処理を繰り返す
FRINT8割り込みアドレスの先頭の値を計算し、既出アドレス
の読み出しアドレスから画像データを読み出す。
RADSETA0～23=8 * DATAWIDTH * YOUT
+ OFFSET

[0067] 19 * 0067] 19 在RINT8割り込みについて説明す
る。RADSETA0～23=8 * DATAWIDTH * YOUT
+ OFFSET

[0068] 20 * 0068] 20 この式の意味は8ライン毎に割り込みがか
かるので1ライン分のデータ量DATAWIDTHに8
倍する。それにRINT8割り込みを行つ。そこでWIN8
を掛けて、それにRINT8割り込みを行つ。そしてCOUNT
の値をRINT8割り込みでの終了条件として確
定する。そしてステップS42では次の原稿の読み取り
に備えて、YINの値を初期化(YIN=0)し、ステ
ップS43で次の原稿をメモリ部302に記憶させるた
めの書き込みアドレスの初期値OFFSET2 (WAD
SET0～23) を既出アドレス設定部340に設定し
て割り込み処理を終了し、メインフローチャートの無限
ループに戻り割り込み入力を待つ。

[0069] 21 * 0069] 21 最後にWFgateをLレベルに設定し、RFGA
TEがLレベルになると、その反転信号を割り込み信号
としてWFgate割り込み処理を行う。RFGATE
割り込みはリピートコピーモードで読み込みアドレスを管
理しながらメモリ部302から画像データを読み出す。
WFGENBをLレベルに設定する。

[0070] 22 * 0070] 22 在WFgate割り込みについて説明す
る。原稿の読み取りが終了し、原稿検知部320から
のWFgate信号がLレベルになるとその反転信号を
割り込み信号としてWFgate割り込み処理を行う。
WFgate割り込みでは次の原稿の読み取りに備えて
ライト用に使用したカウンタの値の保存と初期化及び
モリ部302の書き込みアドレスの初期値の設定を行
つ。

(9)

[0074] 一連の複写動作と各割り込みタイミングの

関係を図3.5に示す。メモリ3.0.2の内容を消去する場合の制御について説明する。メモリ3.0.2の内容を消去する場合には、通常原稿を読み取つてWF GATE信号をオンさせて画像データを書き込むことは異なって、メモリ制御3.0.5により、WF GATE信号の代わりとなる有効信号IN FGATEをオフし、書き込みを終了して処理を終える。

10079 また別の制御の実施例について図3.8に示す。この実施例では図3.7に示した実施例とほぼ同じだが、メモリ3.0.2の内容の消去を行う範囲が異なり、ステップS1.1.2で書き込みアドレスをオフし、書き込みを終了して行っていた複写動作の画像データを記憶した先頭アドレスとし、ステップS1.2.4での消去の終了条件を画像データを記憶した終了アドレスとしている。このようにすることにより、メモリ3.0.2の全領域を消去する場合と比較して短時間で済む。

[0080] 上記の実施形態によれば、無関係な人による画像再形成を防止することが可能となる。また、記憶手段の選択した部分のみの消去を実行し、短時間で消去が行える。

[0081] [宛別効果] 以上の説明より明らかなように、本発明のデジタル画像形成装置は、原稿上の画像をデジタル的に読み取り、読み取られた画像データを記憶し、記憶した画像データに基づいて画像形成を行う。一連の画像形成動作終了後に、再度画像データを読み出し、画像形成を行わせる。記憶した画像データは任意に消去が可能とする。よって、無関係な人による画像再形成を防止することは可能となる。また、所定の時間経過後に自動的に消去させたりすると利便性が向上する。

[0082] [画面の簡単な説明]

[0083] 本発明のデジタル画像形成装置を複写機へ適用した実施形態の構成例を示すブロック図である。

[0084] [図2] スキャナの構成例を示すブロック図である。

[0085] [図3] スキャナ内の各制御信号と原稿との関係を示す図である。

[0086] [図4] 画像メモリの周辺回路の構成例を示す図である。

[0087] [図5] スキャナの原稿搬送部を上から見た図である。

[0088] [図6] A4枚の原稿の幅及び長さを検知する手順を説明するための図である。

[0089] [図7] 背込ラインカウント部の構成例を示す回路図である。

[0090] [図8] 背込ラインカウント部の動作を説明するためのタイミング図である。

[0091] [図9] 背込アドレス発生部の構成例を示す周辺回路図である。

[0092] [図10] 背込アドレス発生部の動作を説明するためのタイミング図である。

[0093] [図11] 背込アドレス発生部の動作を説明するためのタイミング図である。

[0094] [図12] 背込アドレス設定部の構成例を示す回路図である。

(10)

17

アドレスまで書き込みを行っていないければ引き様きステップS1.1.3での白データの書き込みを行い、最終アドレスまで書き込みが終了すればステップS1.1.5で消去有効信号IN FGATEをオフし、書き込みを終了して処理を終える。

10079 また別の制御の実施例について図3.8に示す。この実施例では図3.7に示した実施例とほぼ同じだが、メモリ3.0.2の内容の消去を行う範囲が異なり、ステップS1.1.2で書き込みアドレスをオフし、書き込みを終了して行っていた複写動作の画像データを記憶した先頭アドレスとし、記憶した終了アドレスをメモリ3.0.2の全領域を消去する場合と比較して短時間で済む。

[0080] 上記の実施形態によれば、無関係な人による画像再形成を防止することが可能となる。また、記憶手段の選択した部分のみの消去を実行し、短時間で消去が行える。

[0081] [宛別効果] 以上の説明より明らかなように、本発明のデジタル画像形成装置は、原稿上の画像をデジタル的に読み取り、読み取られた画像データを記憶し、記憶した画像データに基づいて画像形成を行う。一連の画像形成動作終了後に、再度画像データを読み出し、画像形成を行わせる。記憶した画像データは任意に消去が可能とする。よって、無関係な人による画像再形成を防止することが可能となる。また、所定の時間経過後に自動的に消去させたりすると利便性が向上する。

[0082] [画面の簡単な説明]

[0083] 本発明のデジタル画像形成装置を複写機へ適用した実施形態の構成例を示すブロック図である。

[0084] [図2] スキャナの構成例を示すブロック図である。

[0085] [図3] スキャナ内の各制御信号と原稿との関係を示す図である。

[0086] [図4] 画像メモリの周辺回路の構成例を示す図である。

[0087] [図5] スキャナの原稿搬送部を上から見た図である。

[0088] [図6] A4枚の原稿の幅及び長さを検知する手順を説明するための図である。

[0089] [図7] 背込ラインカウント部の構成例を示す回路図である。

[0090] [図8] 背込ラインカウント部の動作を説明するための切替設定が終わったのを受けて実際に書き込みをスタートするために、メモリ制御3.0.5により消去有効信号IN FGATEをオフする。IN FGATE信号をオフすると、以下自動的にW INT 8割り込みが発生るので、書き込みアドレスを制御しながらステップS1.1.3でメモリへのデータの書き込みを行う。この時画像データはS/P変換部6.1.0でマスクされているので白データとなっている。そしてステップS1.1.4でメモリ3.0.2の最終アドレスまで書き込みを行ったかを判断して、最終

18

18

ミング図である。

ある。

[図1.3] 読出有効信号発生部の構成例を示す回路図である。

[図1.4] 読出有効信号発生部の動作を説明するためのタイミング図である。

[図1.5] 背込ラインカウント部の構成例を示す回路図である。

[図1.6] 背込ラインカウント部の動作を説明するためのタイミング図である。

[図1.7] 読出アドレス発生部の構成例を示す回路図である。

[図1.8] 読出アドレス発生部の動作を説明するためのタイミング図である。

[図1.9] 読出アドレス設定部の構成例を示す回路図である。

[図1.10] 読出アドレス設定部の動作を説明するためのタイミング図である。

[図1.11] S/P変換部の構成例を示す回路図である。

[図1.12] S/P変換部の動作を説明するためのタイミング図である。

[図1.13] P/S変換部の構成例を示す回路図である。

[図1.14] P/S変換部の動作を説明するためのタイミング図である。

[図1.15] 一連の複写動作と各割り込みタイミングの関係を示すタイミング図である。

[図1.16] 一連の複写動作と各割り込みタイミングの関係を示すタイミング図である。

[図1.17] 背込アドレス発生部の構成例を示す回路図である。

[図1.18] 背込アドレス発生部の動作を説明するためのタイミング図である。

[図1.19] 背込アドレス設定部の構成例を示す回路図である。

[図1.20] メモリ制御が行うメインの動作フローチャートである。

[図1.21] 1枚目の原稿を読み出した後の読み出しアドレスをメモリに対して設定する動作フローチャートである。

[図1.22] カウントの初期化及びライト用のカウンタ値の保存などをを行う動作フローチャートである。

[図1.23] メモリ部のリードアドレスの先頭の値の計算及び読出アドレス設定部Aへの設定を行う動作フローチャートである。

[図1.24] カウントの値の保存と初期化及びメモリ部の書き込みアドレスの初期値の設定を行う動作フローチャートである。

[図1.25] 読出有効信号発生部に対してTR GENBをHレベルに設定する動作フローチャートである。

[図1.26] S/P変換部の構成例を示す回路図である。

[図1.27] S/P変換部の動作を説明するためのタイミング図である。

[図1.28] メモリ部の動作を説明するためのタイミング図である。

[図1.29] データ切り換え部の構成例を示す回路図である。

[図1.30] データラッシュ部の構成例を示す回路図である。

[図1.31] データラッシュ部の動作を説明するためのタイミング図である。

[図1.32] 各部の動作を説明するためのタイミング図である。

[図1.33] 各部の動作を説明するためのタイミング図である。

[図1.34] 各部の動作を説明するためのタイミング図である。

[図1.35] 各部の動作を説明するためのタイミング図である。

[図1.36] 各部の動作を説明するためのタイミング図である。

[図1.37] 各部の動作を説明するためのタイミング図である。

[図1.38] 各部の動作を説明するためのタイミング図である。

[図1.39] 各部の動作を説明するためのタイミング図である。

[図1.40] 各部の動作を説明するためのタイミング図である。

[図1.41] 各部の動作を説明するためのタイミング図である。

[図1.42] 各部の動作を説明するためのタイミング図である。

[図1.43] 各部の動作を説明するためのタイミング図である。

[図1.44] 各部の動作を説明するためのタイミング図である。

[図1.45] 各部の動作を説明するためのタイミング図である。

[図1.46] 各部の動作を説明するためのタイミング図である。

[図1.47] 各部の動作を説明するためのタイミング図である。

[図1.48] 各部の動作を説明するためのタイミング図である。

[図1.49] 各部の動作を説明するためのタイミング図である。

[図1.50] 各部の動作を説明するためのタイミング図である。

[図1.51] 各部の動作を説明するためのタイミング図である。

[図1.52] 各部の動作を説明するためのタイミング図である。

[図1.53] 各部の動作を説明するためのタイミング図である。

[図1.54] 各部の動作を説明するためのタイミング図である。

[図1.55] 各部の動作を説明するためのタイミング図である。

[図1.56] 各部の動作を説明するためのタイミング図である。

[図1.57] 各部の動作を説明するためのタイミング図である。

[図1.58] 各部の動作を説明するためのタイミング図である。

[図1.59] 各部の動作を説明するためのタイミング図である。

[図1.60] 各部の動作を説明するためのタイミング図である。

[図1.61] 各部の動作を説明するためのタイミング図である。

[図1.62] 各部の動作を説明するためのタイミング図である。

[図1.63] 各部の動作を説明するためのタイミング図である。

[図1.64] 各部の動作を説明するためのタイミング図である。

[図1.65] 各部の動作を説明するためのタイミング図である。

[図1.66] 各部の動作を説明するためのタイミング図である。

[図1.67] 各部の動作を説明するためのタイミング図である。

[図1.68] 各部の動作を説明するためのタイミング図である。

[図1.69] 各部の動作を説明するためのタイミング図である。

[図1.70] 各部の動作を説明するためのタイミング図である。

[図1.71] 各部の動作を説明するためのタイミング図である。

[図1.72] 各部の動作を説明するためのタイミング図である。

[図1.73] 各部の動作を説明するためのタイミング図である。

[図1.74] 各部の動作を説明するためのタイミング図である。

[図1.75] 各部の動作を説明するためのタイミング図である。

[図1.76] 各部の動作を説明するためのタイミング図である。

[図1.77] 各部の動作を説明するためのタイミング図である。

[図1.78] 各部の動作を説明するためのタイミング図である。

[図1.79] 各部の動作を説明するためのタイミング図である。

[図1.80] 各部の動作を説明するためのタイミング図である。

[図1.81] 各部の動作を説明するためのタイミング図である。

[図1.82] 各部の動作を説明するためのタイミング図である。

[図1.83] 各部の動作を説明するためのタイミング図である。

[図1.84] 各部の動作を説明するためのタイミング図である。

[図1.85] 各部の動作を説明するためのタイミング図である。

[図1.86] 各部の動作を説明するためのタイミング図である。

[図1.87] 各部の動作を説明するためのタイミング図である。

[図1.88] 各部の動作を説明するためのタイミング図である。

[図1.89] 各部の動作を説明するためのタイミング図である。

[図1.90] 各部の動作を説明するためのタイミング図である。

[図1.91] 各部の動作を説明するためのタイミング図である。

[図1.92] 各部の動作を説明するためのタイミング図である。

[図1.93] 各部の動作を説明するためのタイミング図である。

[図1.94] 各部の動作を説明するためのタイミング図である。

[図1.95] 各部の動作を説明するためのタイミング図である。

[図1.96] 各部の動作を説明するためのタイミング図である。

[図1.97] 各部の動作を説明するためのタイミング図である。

[図1.98] 各部の動作を説明するためのタイミング図である。

[図1.99] 各部の動作を説明するためのタイミング図である。

[図1.100] 各部の動作を説明するためのタイミング図である。

[図1.101] 各部の動作を説明するためのタイミング図である。

[図1.102] 各部の動作を説明するためのタイミング図である。

[図1.103] 各部の動作を説明するためのタイミング図である。

[図1.104] 各部の動作を説明するためのタイミング図である。

[図1.105] 各部の動作を説明するためのタイミング図である。

[図1.106] 各部の動作を説明するためのタイミング図である。

[図1.107] 各部の動作を説明するためのタイミング図である。

[図1.108] 各部の動作を説明するためのタイミング図である。

[図1.109] 各部の動作を説明するためのタイミング図である。

[図1.110] 各部の動作を説明するためのタイミング図である。

[図1.111] 各部の動作を説明するためのタイミング図である。

[図1.112] 各部の動作を説明するためのタイミング図である。

[図1.113] 各部の動作を説明するためのタイミング図である。

[図1.114] 各部の動作を説明するためのタイミング図である。

[図1.115] 各部の動作を説明するためのタイミング図である。

[図1.116] 各部の動作を説明するためのタイミング図である。

[図1.117] 各部の動作を説明するためのタイミング図である。

[図1.118] 各部の動作を説明するためのタイミング図である。

[図1.119] 各部の動作を説明するためのタイミング図である。

[図1.120] 各部の動作を説明するためのタイミング図である。

[図1.121] 各部の動作を説明するためのタイミング図である。

[図1.122] 各部の動作を説明するためのタイミング図である。

[図1.123] 各部の動作を説明するためのタイミング図である。

[図1.124] 各部の動作を説明するためのタイミング図である。

[図1.125] 各部の動作を説明するためのタイミング図である。

[図1.126] 各部の動作を説明するためのタイミング図である。

[図1.127] 各部の動作を説明するためのタイミング図である。

[図1.128] 各部の動作を説明するためのタイミング図である。

[図1.129] 各部の動作を説明するためのタイミング図である。

[図1.130] 各部の動作を説明するためのタイミング図である。

[図1.131] 各部の動作を説明するためのタイミング図である。

[図1.132] 各部の動作を説明するためのタイミング図である。

[図1.133] 各部の動作を説明するためのタイミング図である。

[図1.134] 各部の動作を説明するためのタイミング図である。

[図1.135] 各部の動作を説明するためのタイミング図である。

[図1.136] 各部の動作を説明するためのタイミング図である。

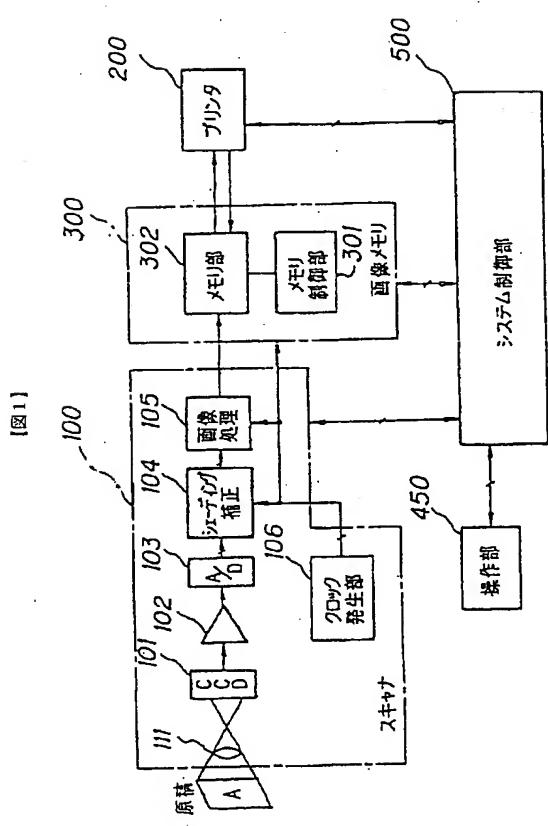
[図1.137] 各部の動作を説明するためのタイミング図である。

[図1.138] 各部の動作を説明するためのタイミング図である。

[図1.139] 各部の動作を説明するためのタイミング図である。

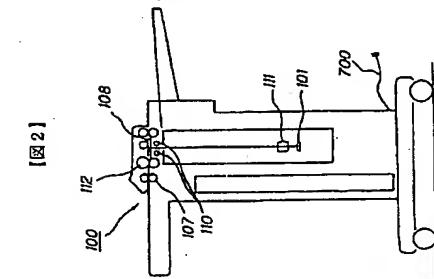
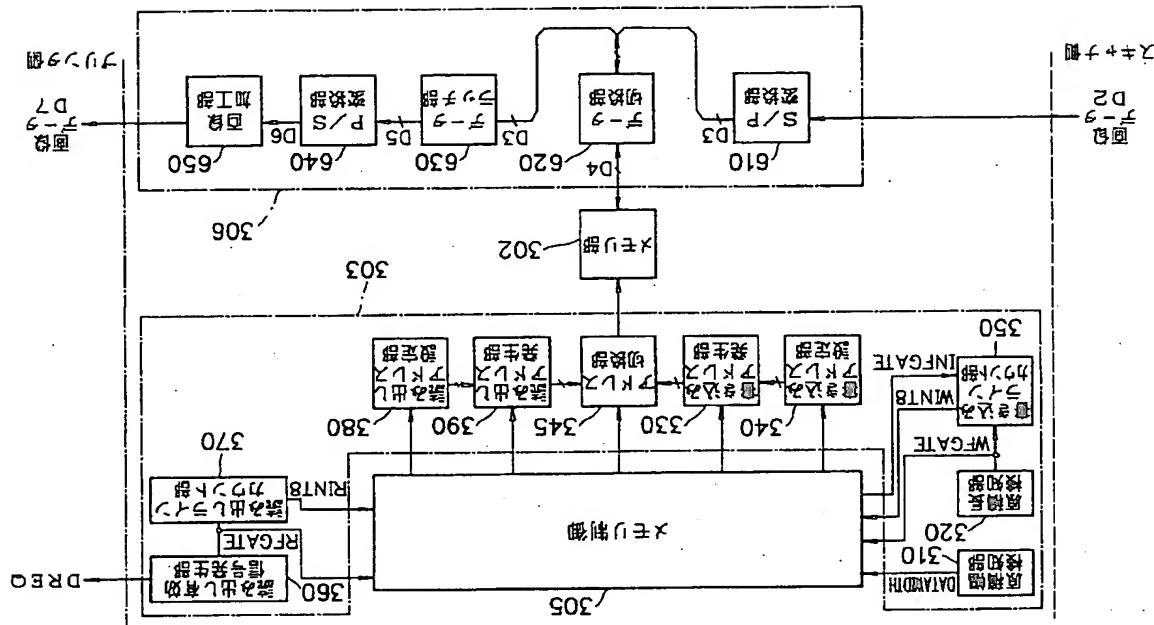
[図1.140] 各部の動作を説明する

(11)

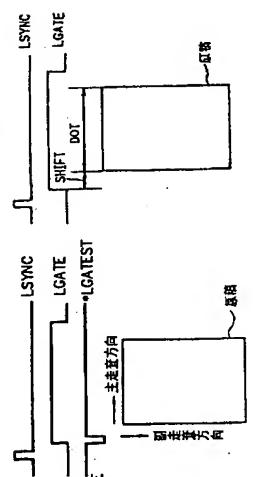


(12)

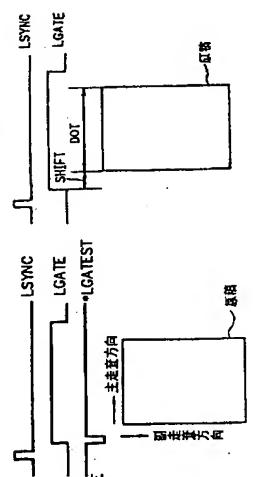
[図4]



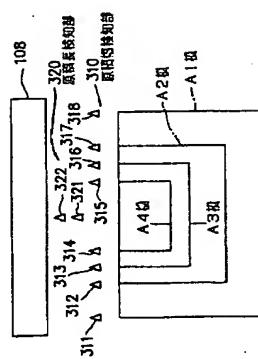
[図3]



[図4]

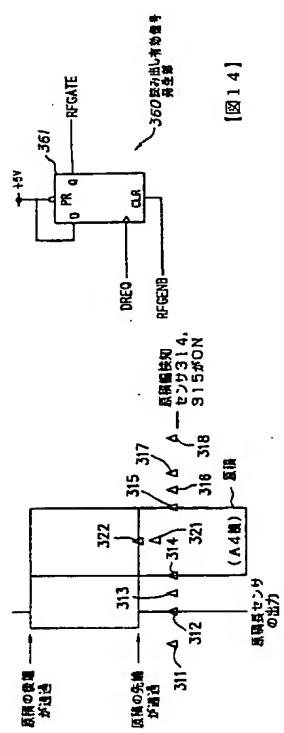


[図5]

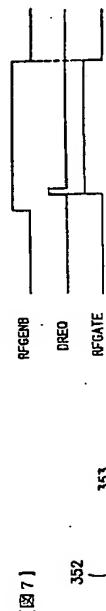


(13)

[図 6]



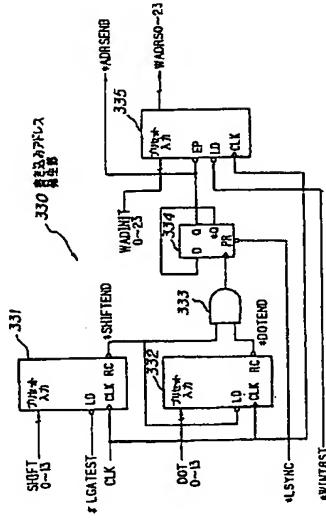
[図 7]



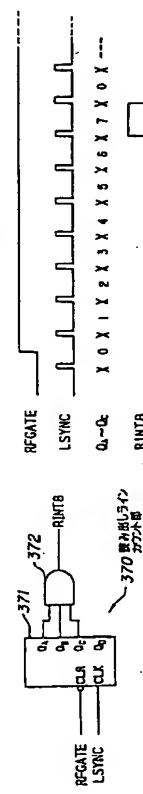
[図 8]



[図 9]

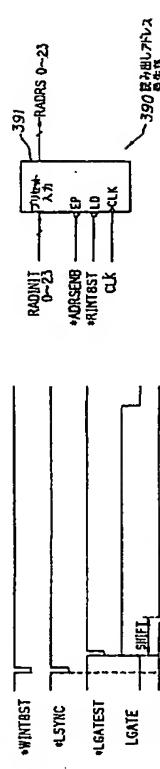


[図 16]

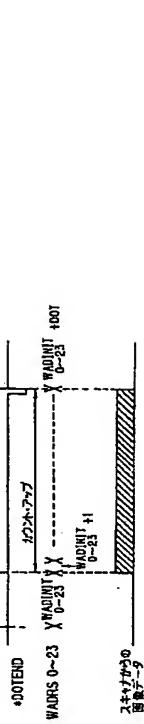


(14)

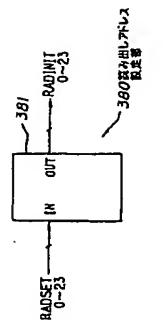
[図 6]



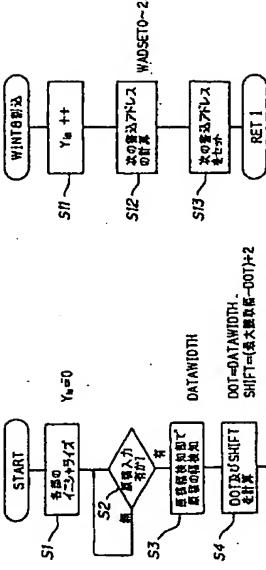
[図 7]



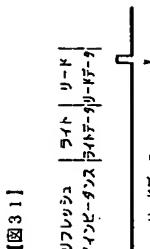
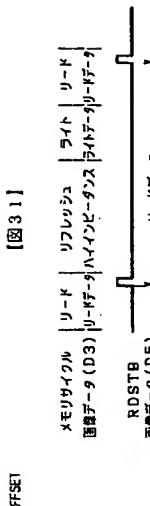
[図 10]



[図 11]

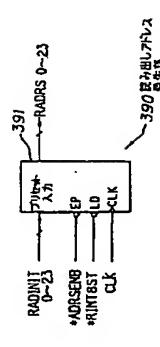


[図 12]

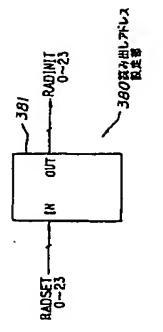


[図 13]

[図 6]

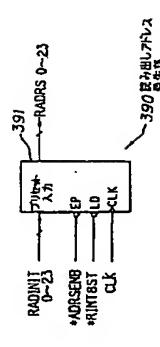


[図 14]

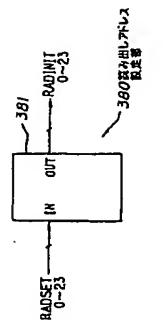


[図 14]

[図 6]

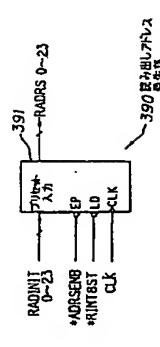


[図 15]

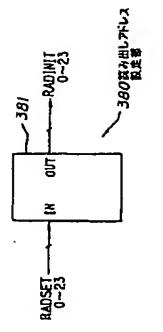


[図 15]

[図 6]

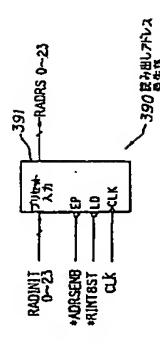


[図 16]

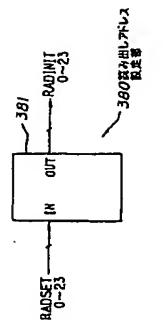


[図 16]

[図 6]

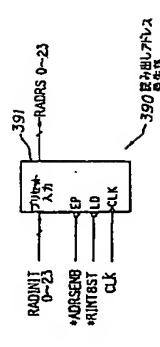


[図 17]

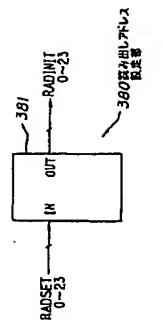


[図 17]

[図 6]

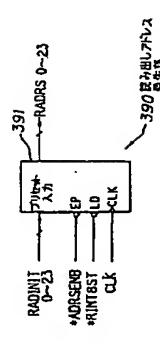


[図 18]

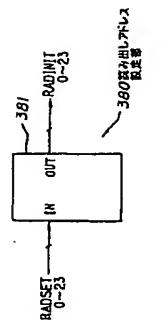


[図 18]

[図 6]

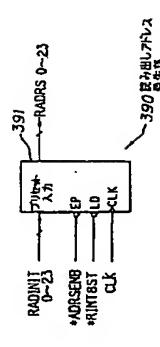


[図 19]

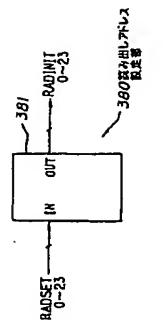


[図 19]

[図 6]

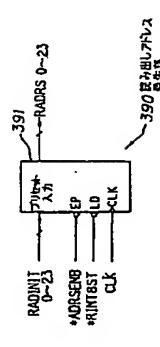


[図 20]

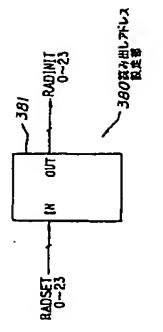


[図 20]

[図 6]

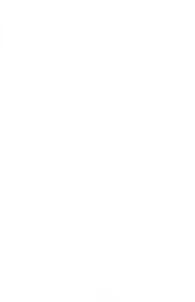
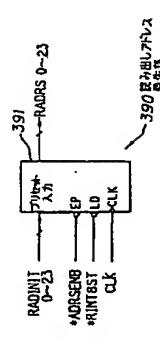


[図 21]



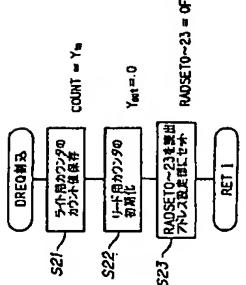
[図 21]

[図 6]





221



231

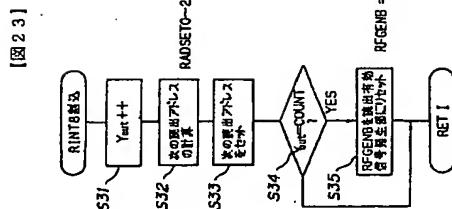
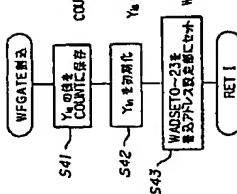
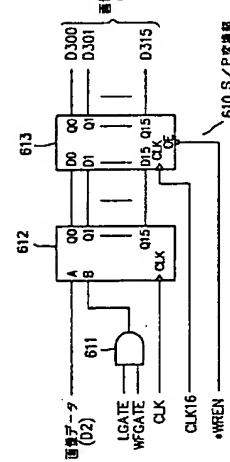


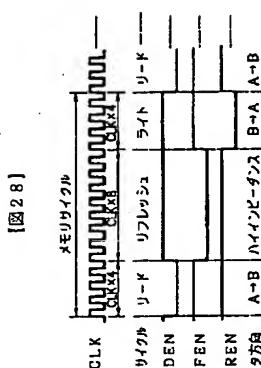
图 241



四二六

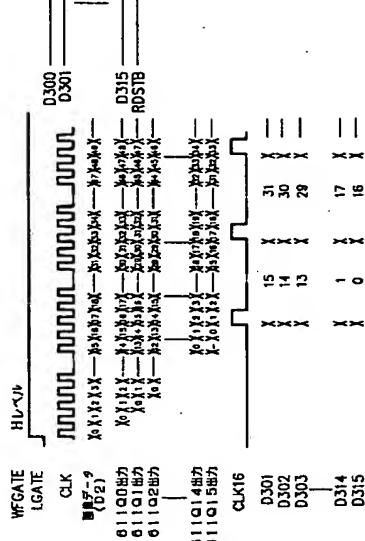


361

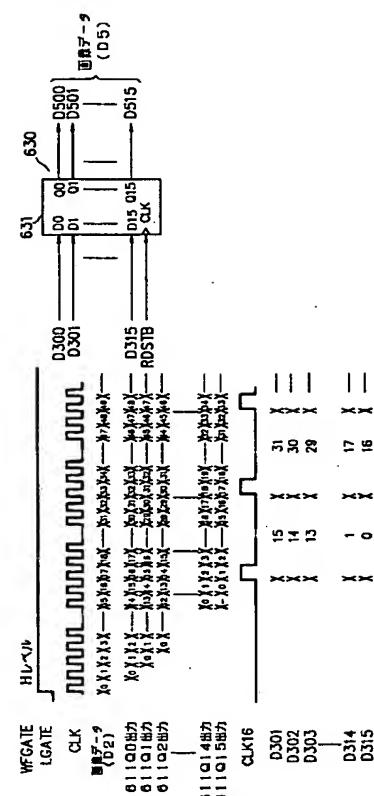


281

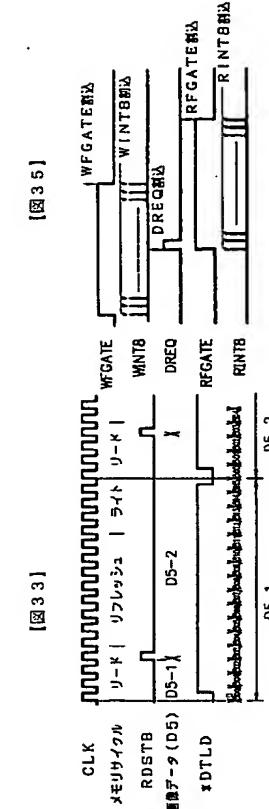
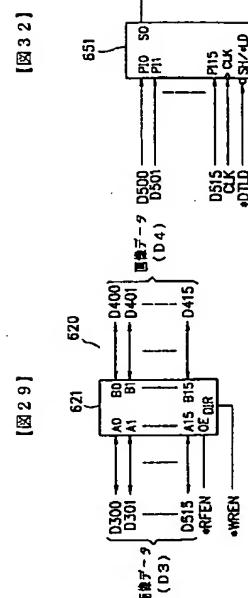
271



105

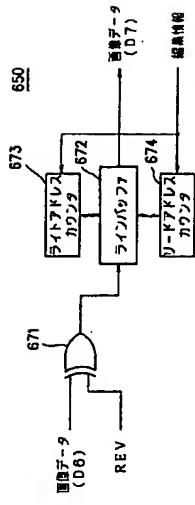


281

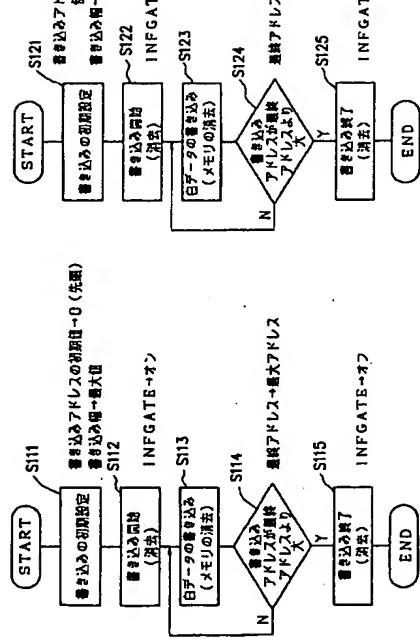


(17)

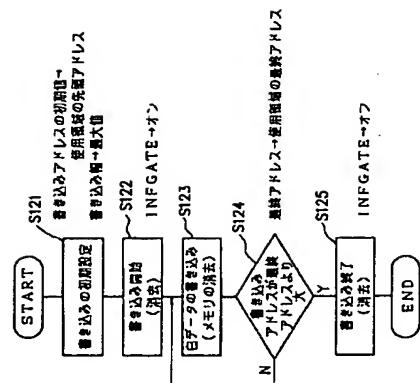
【図3.4】



【図3.7】



【図3.8】



【図3.8】